

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-217880

(43)Date of publication of application : 10.08.2001

(51)Int.Cl.

H04L 25/03
H04B 10/00
H04L 25/02
// H03F 3/08

(21)Application number : 2000-021606

(71)Applicant : NEC CORP

(22)Date of filing : 31.01.2000

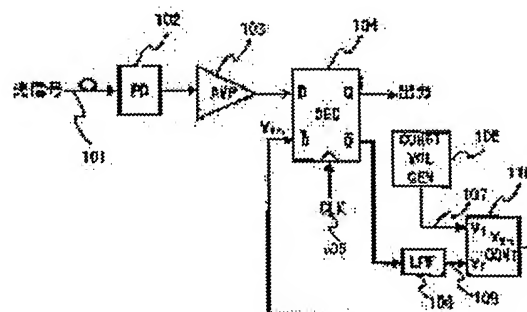
(72)Inventor : YAMADA AKIRA

(54) IDENTIFICATION LEVEL CONTROL CIRCUIT OF RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To control an identification level so as to minimize a code error, that is, to bring a mark rate to 1/2 corresponding to stored noises and waveform deterioration in a received signal by a receiver.

SOLUTION: An inverted output of an identification device 104 passes through a low pass filter 108, which extracts its DC component 109. A constant voltage generating circuit 106 outputs a voltage 107 of a DC component 109 of an inverted output of the identification device 104 when the code error is minimum, that is the mark rate is 1/2. An identification voltage control circuit 110 compares the DC component 109 with the voltage 107 to change the identification level V_{th} so that they are equal to each other.



LEGAL STATUS

[Date of request for examination] 12.12.2000

[Date of sending the examiner's decision of rejection] 08.10.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-217880

(P2001-217880A)

(43) 公開日 平成13年8月10日 (2001.8.10)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 4 L 25/03		H 0 4 L 25/03	E 5 J 0 9 2
H 0 4 B 10/00		25/02	3 0 3 A 5 K 0 0 2
H 0 4 L 25/02	3 0 3	H 0 3 F 3/08	5 K 0 2 9
// H 0 3 F 3/08		H 0 4 B 9/00	B

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2000-21606 (P2000-21606)

(22) 出願日 平成12年1月31日 (2000.1.31)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山田 亮

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100105511

弁理士 鈴木 康夫 (外1名)

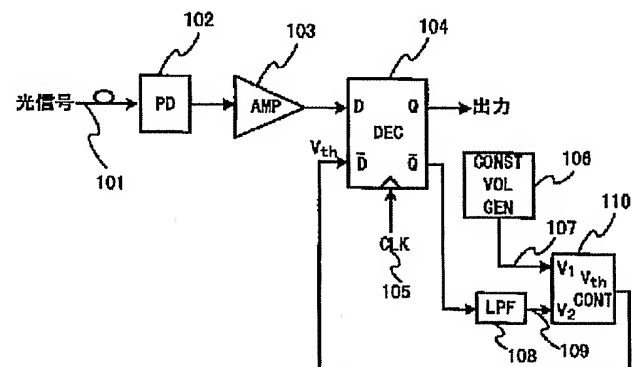
最終頁に続く

(54) 【発明の名称】 受信器の識別レベル制御回路

(57) 【要約】

【課題】 受信器における受信信号の雑音蓄積や波形劣化に対応して、符号誤りが最小となる、即ち、マーク率が1/2となるように識別レベルを制御する。

【解決手段】 識別器104の逆相出力をロー・パス・フィルタ108に通すことによって、その直流成分109を抽出する。定電圧発生回路106は、符号誤りが最小となる、即ち、マーク率が1/2となる場合に識別器104の逆相出力の直流成分109がとるべき値の電圧107を出力する。識別電圧制御回路110は、直流成分109と電圧107とを比較し、それらが等しくなるように識別レベル V_{th} を変化させる。



【特許請求の範囲】

【請求項1】 受信信号を識別レベルと比較して識別信号を出力する識別器と、前記識別器の識別信号から直流成分の電圧を抽出するロー・パス・フィルタと、所定電圧を発生する定電圧発生器と、前記ロー・パス・フィルタの出力電圧と前記定電圧発生器の出力電圧との電圧差に応じて符号誤りが最小となるように前記識別レベルを制御する電圧制御回路とを有することを特徴とする受信器の識別レベル制御回路。

【請求項2】 受信信号を識別レベルと比較して正相及び逆相の識別信号を出力する識別器と、前記識別器の正相及び逆相の識別信号からそれぞれの直流成分の電圧を抽出する2つのロー・パス・フィルタと、前記2つのロー・パス・フィルタの出力電圧を入力し両出力電圧の電圧差に応じて符号誤りが最小となるように前記識別レベルを制御する電圧制御回路とを有することを特徴とする受信器の識別レベル制御回路。

【請求項3】 受信信号を識別レベルと比較して識別信号を出力する識別器と、前記識別器の識別信号から正相及び逆相の識別信号を出力する差動出力増幅器と、正相及び逆相の識別信号からそれぞれの直流成分の電圧を抽出する2つのロー・パス・フィルタと、前記2つのロー・パス・フィルタの出力電圧を入力し両出力電圧の電圧差に応じて符号誤りが最小となるように前記識別レベルを制御する電圧制御回路とを有することを特徴とする受信器の識別レベル制御回路。

【請求項4】 クロック信号源を備え、前記識別器は、受信信号と識別レベルとの比較結果を前記クロック信号源からのクロック信号時点でラッチすることにより前記識別信号を出力することを特徴とする請求項1、2又は3記載の受信器の識別レベル制御回路。

【請求項5】 前記電圧制御回路は、前記識別レベルに対する制御により識別器の出力のマーク率が $1/2$ となるように制御することを特徴とする請求項4記載の受信器の識別レベル制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、受信器の識別レベル制御回路に関し、特に、光受信器における識別器の識別レベルを符号誤りが最小となるように最適に制御できる光受信器の識別レベル制御回路に関するものである。

【0002】

【従来の技術】図9は、従来の一般的な光受信器の構成を示すブロック図である。受光素子(PD)2、増幅器(AMP)3、識別器(DEC)4及び定電圧発生回路(CONST VOLT GEN)6から構成される。図9に示されている光受信器においては、光ファイバ1より入力するマーク率 $1/2$ の光信号は、受光素子2により電気信号に変換され、増幅器3を経て、識別器4で識別再生される。識別器4の機能を詳しく述べると、識別器

4では、クロック信号5に同期して、端子Dに入力する信号電圧と、端子D(一)に入力する定電圧発生回路6で発生した一定識別レベル V_{th} とを比較し、入力信号電圧の方が高ければ「マーク」、低ければ「スペース」として識別し、その論理値に対応する電圧を端子Qより出力する。また、端子Q(一)からは、Qの逆相を出力する。

【0003】上記の様な従来の光受信器においては、識別器4における識別レベル V_{th} は、入力信号の「マーク」と「スペース」それぞれの平均電圧のちょうど中間になるようにあらかじめ設定される。即ち、入力する「マーク」レベル及び「スペース」レベルの平均電圧をそれぞれ V_1 、 V_0 すると識別レベルは、 $V_{th} = (V_1 + V_0) / 2$ である。これは、図10(a)に示すように、到達する「マーク」と「スペース」の電圧レベルのばらつき、即ち、確率密度関数の分散が等しい場合には、符号誤りを最小とする最適レベルとなる。この時、「マーク」を「スペース」と誤る確率と「スペース」を「マーク」と誤る確率は等しく、マーク率は $1/2$ である。しかし、伝送路等の影響により受信した信号に雑音蓄積や波形劣化が伴う場合は、到達する「マーク」と「スペース」の電圧レベルのばらつきに差が生じてくる。そのような場合の一例を図10(b)に示す。図から分かるとおり、 $V_{th} = (V_1 + V_0) / 2$ で定まる識別レベルは符号誤りを最小にする最適レベルではない。この図の場合、「マーク」を「スペース」と誤る確率のほうが多くなり、マーク率は $1/2$ からずれ、符号誤りが増加する。このような状況において識別レベルを最適値にするためには、定電圧発生回路より発生する電圧を設定し直さなければならない。

【0004】また、符号誤りに基づいて識別レベルを最適化するようにした受信器が特開平2-288640号公報に記載されている。図11は、この公報に記載された従来例を示すブロック図である。この従来例においては、識別再生部の出力側に符号誤り検出部7、符号誤り計数部8、識別レベル制御部9及び識別レベル調整部10を設け、符号誤り検出部7で検出された符号誤りから符号誤り計数部8において符号誤りの発生の変化を監視し、当該変化に応じて識別レベル制御部9が識別レベル調整部10を制御するように構成している。

【0005】更に、符号誤り率の変化に応じて識別レベルの最適値からのずれの自動補正を行うようにした他の受信器が特開平4-16028号公報に記載されている。図12は、この公報に記載された従来例を示すブロック図である。この従来例においては、受信信号の識別器12と並列に当該識別器12の識別レベルに対し高い識別レベルの高域識別器13及び低い識別レベルの低域識別器14を設け、高域識別器13及び低域識別器14の出力のそれぞれを積分15、16した出力の差分17により、各識別器12~14の入力側の可変減衰器11

を制御するように構成している。

【0006】

【発明が解決しようとする課題】従来の技術においては、固定識別レベルを使用する識別器では受信信号に雑音蓄積や波形劣化が伴う場合は、前述のように適宜識別レベルを設定し直す必要があり、また、特開平2-288640号公報記載の識別レベルの制御方法では、符号誤りの変化と識別レベルの制御方向等のアルゴリズムが不明であり、所望の制御を実現することが困難である。更に、特開平4-16028号公報記載の受信信号の振幅を制御する制御方法では、識別レベルを固定化できるものの複数の識別器を必須とする等、回路構成も複雑化するという問題がある。

【0007】（発明の目的）本発明の目的は、上記問題を解決するものであり、簡単な構成で受信信号の雑音蓄積や波形劣化に対応して、識別器の出力の符号誤りが最小、つまり、識別信号のマーク率が $1/2$ となるように識別レベルが制御できる受信器の識別レベル制御回路を提供することにある。

【0008】

【課題を解決するための手段】本発明の受信器の識別レベル制御回路は、受信信号を識別レベルと比較して識別信号を出力する識別器と、前記識別器の識別信号から直流成分の電圧を抽出するロー・パス・フィルタと、所定電圧を発生する定電圧発生器と、前記ロー・パス・フィルタの出力電圧と前記定電圧発生回路の出力電圧との電圧差に応じて符号誤りが最小となるように前記識別レベルを制御する電圧制御回路とを有する。又は受信信号を識別レベルと比較して正相及び逆相の識別信号を出力する識別器と、前記識別器の正相及び逆相の識別信号からそれぞれの直流成分の電圧を抽出する2つのロー・パス・フィルタと、前記2つのロー・パス・フィルタの出力電圧を入力し両出力電圧の電圧差に応じて符号誤りが最小となるように前記識別レベルを制御する電圧制御回路とを有する。又は受信信号を識別レベルと比較して識別信号を出力する識別器と、前記識別器の識別信号から正相及び逆相の識別信号を出力する差動出力増幅器と、正相及び逆相の識別信号からそれぞれの直流成分の電圧を抽出する2つのロー・パス・フィルタと、前記2つのロー・パス・フィルタの出力電圧を入力し両出力電圧の電圧差に応じて符号誤りが最小となるように前記識別レベルを制御する電圧制御回路とを有する。

【0009】前記各受信器の識別レベル制御回路において、クロック信号源を備え、前記識別器は、受信信号と識別レベルとの比較結果を前記クロック信号源からのクロック信号時点でラッチすることにより前記識別信号を出力することを特徴とし、更に、前記電圧制御回路は、前記識別レベルに対する制御により識別器の出力のマーク率が $1/2$ となるように制御することを特徴とする。

【0010】（作用）識別器の出力である識別信号の直

流成分を検出し、その直流成分の変化に応じて符号誤りが最小となるように識別器の識別レベルを変化させる。つまり、識別点が最適値でなくなったことに伴うマーク率の変化を検知して識別レベルが最適になるように制御する。

【0011】

【発明の実施の形態】図1は、本発明の第一の実施の形態を示すブロック図である。本実施の形態は、受光素子(PD)102、増幅器(AMP)103、識別器(DEC)104、クロック信号源105、定電圧発生回路(CONST VOL GEN)106及び識別電圧制御回路(V_{th} CONT)110からなる。光ファイバ101より入力するマーク率 $1/2$ の光信号は、受光素子102により電気信号に変換され、増幅器103を経て、識別器104に受信信号として入力され識別再生されて識別信号を出力するように構成されている。ここで、識別器103の動作は受信信号を識別レベル V_{th} と比較し、比較結果をクロック信号源105からのクロック信号の時点でラッチして識別信号を出力する。また、識別器104の出力端子Q(一)から出力される識別信号は、ロー・パス・フィルタ108によって直流成分109が抽出され、この直流成分109と定電圧発生回路106の一定出力電圧107とが識別電圧制御回路110に入力されている。識別電圧制御回路110は、端子 V_1 と V_2 にそれぞれ入力する電圧107と109とを比較し、 V_1 の電圧の方が大きければ出力電圧 V_{th} を増加させ、 V_2 の電圧の方が大きければ出力電圧 V_{th} を減少させ、両者が等しければ出力電圧 V_{th} を変化させない機能を有する回路である。識別電圧制御回路110の出力電圧 V_{th} は、識別器104の端子D(一)に入力される。

【0012】次に、第一の実施の形態の動作について説明する。まず、定電圧発生回路106の出力電圧107の設定値として、識別レベル V_{th} が最適の場合に識別器104の出力端子Q(一)から出力される信号の直流成分109と等しくなるようにあらかじめ設定する。このためには、符号誤り率をモニターしながら電圧107を変化させ、符号誤り率が最小となるように電圧107を設定すればよい。

【0013】このように設定された識別電圧制御回路110の出力電圧 V_{th} によれば、識別器104の出力の符号誤り率が最小になるから、例えばマーク率が $1/2$ の場合には図2(a)に示す出力電圧 V_{th} のような最適レベルになっており、この時、Q(一)からの出力信号の直流成分109と定電圧発生回路106の出力電圧107は図2(b)に示すように一致しているので、識別電圧制御回路の出力 V_{th} は変化せず、最適値に保持される。ここで設定された一定電圧107は、識別レベル V_{th} が最適レベルに設定された場合にQ(一)からの出力信号の直流成分がとるべき値に一致するという意

味を持つ。即ち、Q (一) からの出力信号の直流成分がこの値からずれているということは、 V_{th} が最適レベルからずれているということを意味する。

【0014】次に、受信信号の雑音蓄積や波形劣化によって V_{th} の値が最適値でなくなった場合、例えば図3 (a) に示すように V_{th} の値が大きすぎる場合について説明する。この場合は、「マーク」を「スペース」と誤る確率の方が増えてマーク率が減少するため、逆相出力端子Q (一) からの出力信号は逆に「マーク」が増え、例えば図3 (b) の様になる。ロー・パス・フィルタ108は前記出力信号を入力すると、出力される直流成分109は「マーク」の数が増加した分だけ電圧107よりも大きくなる。この時、識別電圧制御回路110は、両者の差がゼロになるまで識別レベル V_{th} の値を減少させる動作を行うので、最適な V_{th} を設定することが可能となる。

【0015】図4は、本発明の第二の実施の形態を示すブロック図である。第二の実施の形態は、信号が識別器104に入力するまでの構成は第一の実施の形態と同じであるが、識別器104の正相及び逆相出力をそれぞれ分岐回路(PWR DIV) 201及び分岐回路(PWR DIV) 202によって分岐し、分岐された信号203及び204から、それぞれロー・パス・フィルタ205及び108によって直流成分206及び109を抽出し、この直流成分206及び109を、それぞれ識別電圧制御回路110の端子 V_1 及び V_2 に入力し、識別電圧制御回路110の出力電圧 V_{th} を、識別器104の端子D (一) 入力するように構成している。

【0016】次に、第二の実施の形態の動作について説明する。まず、識別レベル V_{th} が図5 (a) に示すように最適値をとる場合、マーク率は1/2となるため、識別器104の正相及び逆相出力は、例えば図5 (b) の様になる。よって、これらをロー・パス・フィルタ205及び108に通すことによって得られる直流成分206及び109は等しい電圧となるので、識別電圧制御回路110は出力電圧 V_{th} を変化させない。

【0017】次に、受信信号の雑音蓄積や波形劣化によって V_{th} の値が最適値でなくなった場合、例えば図6 (a) に示すように V_{th} の値が大きすぎる場合について説明する。この場合、「マーク」を「スペース」と誤る確率の方が増えてマーク率が減少するため、識別器104の正相及び逆相出力は、例えば図6 (b) に示すようになる。これらをロー・パス・フィルタ205及び108に通すことによって得られる直流成分206及び109は、直流成分109の方が大きくなる。この時、識別電圧制御回路110は、両者の差がゼロになるまで V_{th} の値を減少させる動作を行うので、最適な V_{th} を設定することが可能となる。

【0018】図7は、本発明の第三の実施の形態を示すブロック図である。第三の実施の形態は、信号が識別器

104に入力するまでの構成は第一の実施の形態と同じであるが、識別器104の逆相出力端子Q (一) から出力される信号が差動出力増幅器(DIF AMP) 301に入力され、その逆相出力302及び正相出力303からは、それぞれロー・パス・フィルタ205及び108によって直流成分206及び109が抽出され、この直流電圧206及び109が、それぞれ識別電圧制御回路110の端子 V_1 及び V_2 に入力され、識別電圧制御回路110の出力電圧 V_{th} は、識別器104の端子D (一) に入力されるように構成されている。

【0019】次に、第三の実施の形態の動作について説明する。差動出力増幅器301の入力信号は識別器104の逆相出力信号であるから、増幅器301の逆相出力302及び正相出力303は、それぞれ識別器104の正相出力Q及び逆相出力Q (一) と同じ信号である。即ち、出力302及び303は、前記第二の実施の形態における出力203及び204と同じ信号となる。よって、この構成を用いても前記第二の実施の形態の動作説明と同様の動作を行が行われ、受信信号の雑音蓄積や波形劣化に拘わらず、常に最適な V_{th} の設定を自動的に行うことが可能である。

【0020】以上の各実施の形態においては、識別器の異なる入力端子D、D (一) にそれぞれ受信信号と識別電圧 V_{th} を入力した例を示したが、比較の基準となる入力端子D (一) には基準電圧を与えて、入力端子Dに受信信号と識別電圧 V_{th} の差の電圧を供給するように構成することができる。例えば、図8に示すように、図1に示す実施の形態の識別器の入力端子D側に差動増幅器411を設けて受信信号と識別電圧 V_{th} の差電圧を前記端子Dに印加し、端子D (一) を基準電位に接続する。また、以上の実施の形態では識別器の逆相側の識別信号を利用して識別レベルの負帰還制御を行う構成で説明したが、正相側の識別信号を利用して構成することもロー・パス・フィルタの入出力極性や反転手段の使用等、回路各部の特性等により適宜実現することが可能であることは言うまでもない。また、各実施の形態において識別レベル V_{th} の初期設定は、第一の実施の形態ではロー・パス・フィルタの出力にバイアス電圧を付加し、第二、第三の実施の形態においては何れかのロー・パス・フィルタの出力にバイアス電圧を付加することにより符号誤り率が最小になるように設定する構成とすることができる。

【0021】

【発明の効果】以上説明したように、本発明によれば、識別器の識別信号の直流成分をロー・パス・フィルタによって抽出し、その直流成分の変化に応じて識別レベルを変化させる簡単な制御回路の構成により、符号誤りを最小にすること、つまり、識別信号のマーク率が1/2となるような識別レベルの自動制御を実現することが可能である。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態を示すブロック図である。

【図2】正常なマーク／スペースの確率密度関数と最適識別レベル $V_{th} = (V_1 + V_0) / 2$ での識別出力を示す図である。

【図3】雑音蓄積や波形劣化によるマーク／スペースの確率密度関数の変化と識別出力の変化を示す図である。

【図4】本発明の第二の実施の形態を示すブロック図である。

【図5】正常なマーク／スペースの確率密度関数と識別器の識別出力を示す図である。

【図6】雑音蓄積や波形劣化によるマーク／スペースの確率密度関数の変化と識別出力の変化を示す図である。

【図7】本発明の第三の実施の形態を示すブロック図である。

【図8】本発明の他の実施の形態を示すブロック図である。

【図9】従来の光受信器回路の構成を示すブロック図である。

【図10】正常なマーク／スペースの確率密度関数と雑音蓄積や波形劣化によるマーク／スペースの確率密度関

数を示す図である。

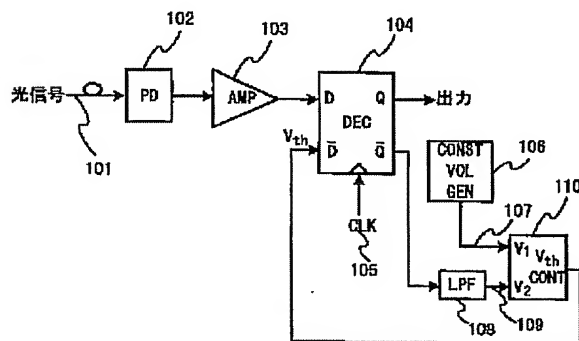
【図11】従来の光受信器回路の他の構成を示すブロック図である。

【図12】従来の光受信器回路の更に他の構成を示すブロック図である。

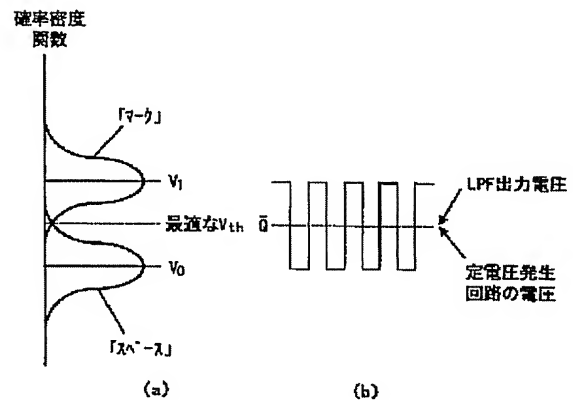
【符号の説明】

- 1、101 光ファイバ
- 2、102 受光素子
- 3、103 増幅器
- 4、104 識別回路
- 5、105 クロック信号
- 6、106 定電圧発生回路
- 107 定電圧発生回路の出力電圧
- 108、205 ロー・パス・フィルタ
- 109、206 ロー・パス・フィルタ出力電圧
- 110 識別電圧制御回路
- 201、202 分岐回路
- 203、204 分岐回路の一方の出力
- 301 差動出力増幅器
- 302 差動出力増幅器の逆相出力
- 303 差動出力増幅器の正相出力

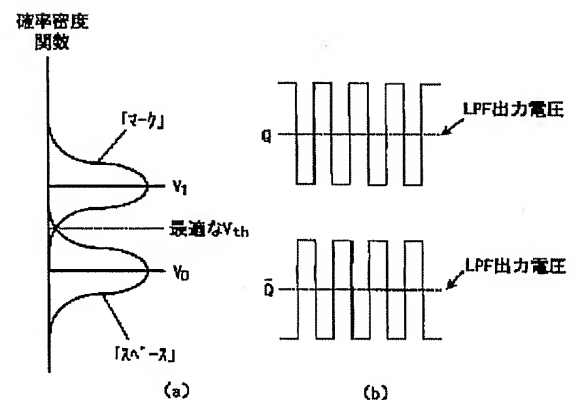
【図1】



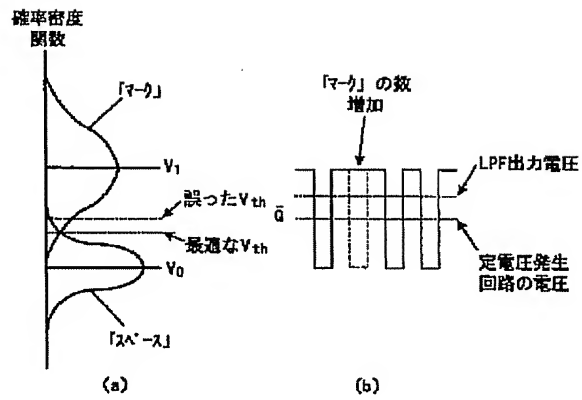
【図2】



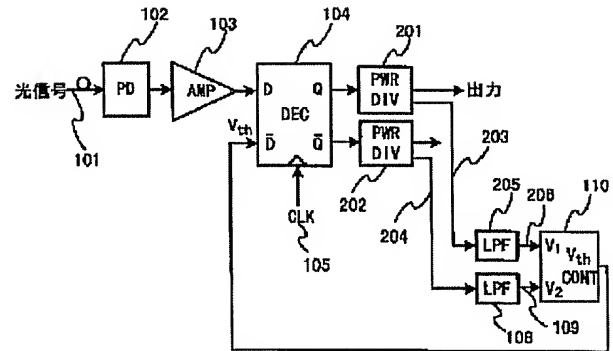
【図5】



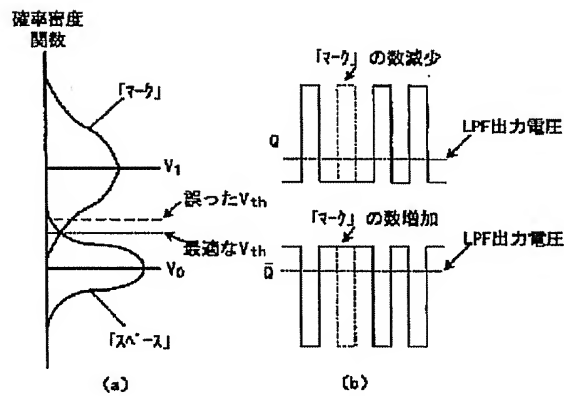
【図3】



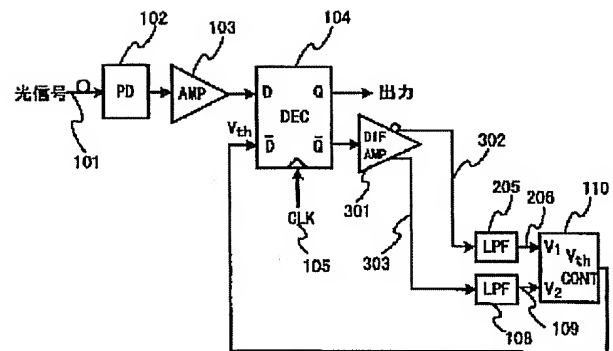
【図4】



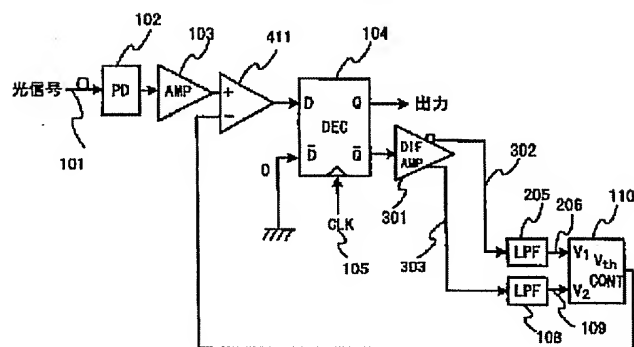
【図6】



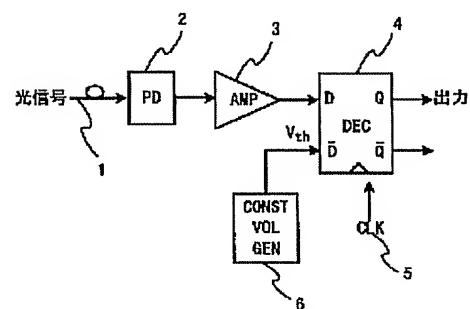
【図7】



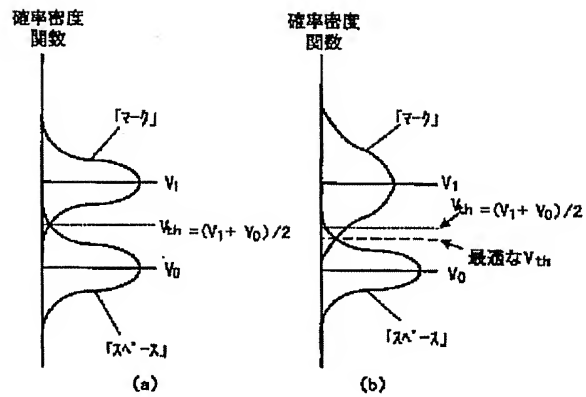
【図8】



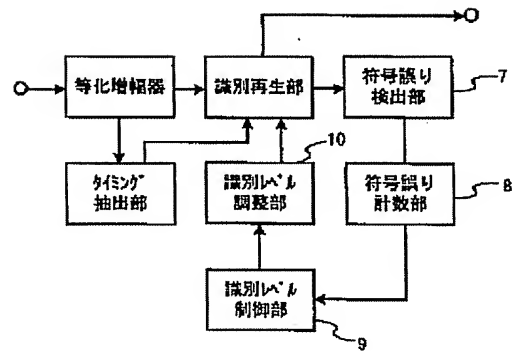
【図9】



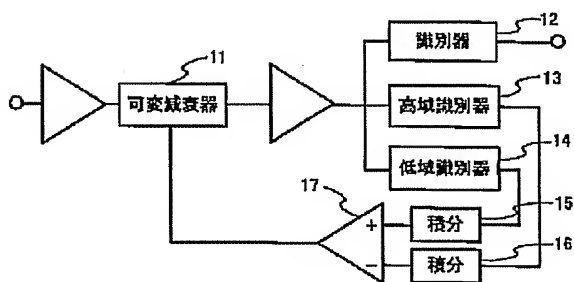
【図10】



【図11】



【図12】



フロントページの続き

Fターム(参考) 5J092 AA01 AA56 CA00 CA41 FA09
 HA44 KA00 KA02 KA11 KA17
 KA23 KA31 KA36 KA42 SA13
 TA01 TA02 TA06 UL01
 5K002 AA03 DA06
 5K029 AA01 CC04 DD02 HH08 LL01
 LL15

